

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Norio NAKAMURA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: DISPLAY DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

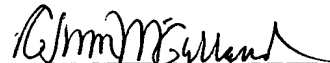
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-329712	November 13, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 1 3 日
Date of Application:

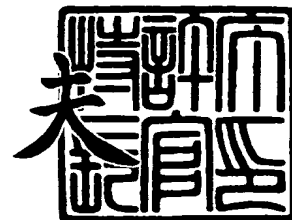
出 願 番 号 特 願 2 0 0 2 - 3 2 9 7 1 2
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 2 9 7 1 2]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 1 0 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 A000202641

【提出日】 平成14年11月13日

【あて先】 特許庁長官 殿

【国際特許分類】 G09F 9/30

【発明の名称】 表示装置

【請求項の数】 5

【発明者】

【住所又は居所】 埼玉県深谷市幡羅町一丁目 9 番地 2 株式会社東芝深谷工場内

【氏名】 中村 則夫

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 表示装置
【特許請求の範囲】

【請求項 1】 表示画面を構成する複数の自己発光素子と、映像信号に対応した駆動電流を前記複数の自己発光素子にそれぞれ供給する駆動回路とを備え、前記駆動回路は前記複数の自己発光素子に流れる駆動電流の合計値の増大に伴って前記駆動電流を制限するように構成されることを特徴とする表示装置。

【請求項 2】 前記駆動回路は前記映像信号をデジタル形式からアナログ形式に変換する D/A 変換回路と、前記 D/A 変換回路によって参照される所定数の階調基準信号を発生する階調基準回路と、前記複数の自己発光素子に流れる駆動電流の合計値を検出し、この合計値に対応して前記階調基準回路から発生される所定数の階調基準信号を一律にレベル補正する補正回路とを含むことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 前記階調基準回路は基準電源電圧に対して互いに異なる電圧比に設定される所定数の階調基準電圧をそれぞれ前記所定数の階調基準信号として出力するように接続した複数の抵抗素子からなる分圧回路を含むことを特徴とする請求項 2 に記載の表示装置。

【請求項 4】 前記階調基準回路は基準電源電流に対して互いに異なる電流比に設定される所定数の階調基準電流をそれぞれ前記所定数の階調基準信号として出力するように接続した複数のカレントミラー能動素子からなるカレントミラー回路を含むことを特徴とする請求項 2 に記載の表示装置。

【請求項 5】 前記自己発光素子は有機エレクトロルミネッセンス素子からなることを特徴とする請求項 1 に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の表示画素が例えば有機 EL 素子のような自己発光素子を用いて構成される表示装置に関する。

【0002】

【従来の技術】

近年では、有機EL表示装置のような平面表示装置が注目され、パーソナルコンピュータ、情報携帯端末等の表示装置として盛んに研究開発が行われている。この有機EL表示装置は、有機EL表示装置は薄型軽量化の妨げとなるバックライトを必要とせず、高速な応答性から動画再生に適し、さらに低温で輝度低下しないために寒冷地でも使用できるという特徴を有する。

【0003】

この有機EL表示装置は、一般に供給電流量に対応する輝度で発光する有機EL素子を用いた複数の表示画素のマトリクスアレイおよびこれら表示画素をそれぞれ駆動する駆動回路を備える。駆動回路は例えばデジタル映像信号をアナログ映像信号に変換するD/A変換回路およびこのD/A変換回路によって参照される複数の階調基準電圧または電流を発生する階調基準回路を含む。この階調基準回路が例えば基準電源電圧を分圧してこれら階調基準電圧を発生する場合、D/A変換回路はデジタル映像信号に基づいてこれら階調基準電圧のいずれかを選択しアナログ映像信号として出力する。各表示素子はこのアナログ映像信号に基づいて駆動される。

【0004】

上述の有機EL表示装置では、表示画面の明るさが複数の有機EL素子にそれぞれ流れる電流に依存する。複数の有機EL素子を最高輝度で発光させて表示画面全体を白表示とする場合には、大きな電力がこれら有機EL素子にそれぞれ流れる電流の和に対応して消費される結果となる。また、この電力消費はこれら有機EL素子に流れる電流に見合った電源回路の電流供給能力を要求することから、電源回路の製造コストおよび外形寸法の増大を招く。

【0005】**【発明が解決しようとする課題】**

有機EL表示装置が組み込まれる機器に依存した例えば製造コスト、消費電力、容積等の制約により上述の問題を回避する必要がある場合、従来は白表示用の輝度を暗く設定してこれら有機EL素子に流れる電流を低下させるようにしている。しかしながら、白表示部分の面積が表示画面全体の面積に対して少ない場合

の輝度も暗いという印象を与えてしまう。

【0006】

本発明の目的は高階調表示の場合での電力消費を低減可能な表示装置を提供することにある。また、本発明の別の目的は、電源回路の負担を軽減できる表示装置を提供することにある。

【0007】

【課題を解決するための手段】

本発明によれば、表示画面を構成する複数の自己発光素子と、映像信号に対応した駆動電流をこれら複数の自己発光素子にそれぞれ供給する駆動回路とを備え、この駆動回路はこれら複数の自己発光素子に流れる駆動電流の合計値の増大に伴って駆動電流を制限するように構成される表示装置が提供される。

【0008】

この表示装置では、駆動回路がこれら複数の自己発光素子に流れる駆動電流の合計値の増大に伴って駆動電流を制限する。駆動電流の合計値は白表示部分の面積割合が表示画面全体に対して多くなった場合に著しく増大するが、この場合に複数の自己発光素子の輝度が駆動電流の制限により一律に低下するため、電源回路の負担を軽減できる。従って、電源回路の製造コストおよび外形寸法の増大を回避することができる。他方、白表示部分の面積割合が表示画面全体に対して少ない場合には、自己発光素子にそれぞれ流れる電流が表示画面全体を白表示にするときのように制限されないため、白表示部分が著しく暗いという印象を与えることも回避できる。上述のような理由から、本表示装置は白表示部分の面積割合に依存した明るさについて違和感を与えることなく電源回路の負担を軽減する事が可能となる。

【0009】

【発明の実施の形態】

以下、本発明の一実施形態に係る有機EL表示装置について図面を参照して説明する。

【0010】

図1は有機EL表示装置の回路構成を概略的に示し、図2は図1に示す信号線

駆動回路の構成を示し、図3は図1に示す階調基準回路および電流検出回路の構成を示す。この有機EL表示装置は有機ELパネルPNLと、外部回路基板PCBと、有機ELパネルPNLおよび外部回路基板PCB間に接続されるテープキャリアパッケージTCPを備える。

【0011】

有機ELパネルPNLは、例えばガラス基板上にマトリクス状に配置され表示画面DSを構成する複数の表示画素部PX、これら表示画素部PXの行に沿って配置されるm本の走査線Y（Y1～Ym）これら走査線Yに略直交する方向に配置されるn本の信号線X（X1～Xn）、およびこれら走査線Y1～Ymを駆動する走査線駆動回路YDを含む。行方向に隣接する3個の表示画素部PXは1個のカラー表示画素を構成し、それぞれ赤色（R）、緑色（G）、および青色（B）で発光する。各表示画素部PXはこれらRGBのうちの対応色で発光する自己発光素子となる有機EL素子10、対応走査線Yからの制御により対応信号線X上のアナログ映像信号Vsigを取り込む画素スイッチ11、この画素スイッチ11からの映像信号Vsigを保持する容量素子12、およびこの容量素子12に保持される映像信号Vsigの制御により有機EL素子10に駆動電流DIDDを流す電流駆動素子13を含む。画素スイッチ11は例えばNチャネルポリシリコン薄膜トランジスタからなり、電流駆動用素子13は例えばPチャネルポリシリコン薄膜トランジスタからなる。有機EL素子10は電源線VDD、VSS間で電流駆動素子13と直列に接続される。

【0012】

具体的には、有機EL素子10がカソードにおいて電源線VSSに接続され、アノードにおいて電流駆動素子13の薄膜トランジスタのドレインに接続される。この電流駆動素子13の薄膜トランジスタはゲートにおいて画素スイッチ11の薄膜トランジスタのドレインに接続され、ソース電極において電源線VDDに接続される。画素スイッチ11の薄膜トランジスタはソース電極において信号線Xに接続され、ゲート電極において走査線Yに接続される。容量素子12は電源線VDDと電流駆動素子13の薄膜トランジスタのゲートおよび画素スイッチ11の薄膜トランジスタのドレインを結ぶ配線により形成される。尚、上述の走査

線駆動回路 Y D は表示画素部 P X の薄膜トランジスタと同一プロセスで形成される複数の P および N チャネルポリシリコン薄膜トランジスタの組み合わせにより構成される。

【0013】

外部駆動回路 P C B は、パーソナルコンピュータ等の信号源 S G からデジタル形式で出力された映像データ信号 D A T A を受け取り、有機 E L パネル P N L を駆動するために様々な制御信号を生成し、さらに映像データ信号 D A T A の並び替え等のデジタル処理を行う I C チップからなるコントローラ部 1、外部から供給される電源電圧を安定化して様々なレベルの内部電源電圧に変換する D C / D C コンバータ 2 を有する。コントローラ部 1 は様々な制御信号として例えば垂直走査制御信号 C T Y および水平走査制御信号 C T X を発生する。ここで、垂直走査制御信号 C T Y は垂直スタート信号、垂直クロック信号を含む。水平走査制御信号 C T X は水平スタート信号 S T H、水平クロック信号 C K H、ラッチ信号 L T を含む。垂直走査制御信号 C T Y はコントローラ部 1 から走査線駆動回路 Y D に供給され、水平走査制御信号 C T X および映像データ信号 D A T A はコントローラ部 1 から信号線駆動回路 X D に供給される。

【0014】

この外部駆動回路 P C B はテープ・キャリア・パッケージ部 T C P を介して有機 E L パネル P N L に接続される。テープ・キャリア・パッケージ部 T C P は各々フレキシブル配線基板上に駆動 I C を実装した複数のテープ・キャリア・パッケージを並べたもので、n 本の信号線 X 1, X 2, X 3, … X n を映像信号に対応して駆動する信号線駆動回路 X D および電源線 V S S と電源線 D V S S との間に接続される電流検出回路 3 を含む。

【0015】

走査線駆動回路 Y D は垂直スタート信号を垂直クロック信号に同期してシフトすることにより m 本の走査線 Y を水平走査期間のうちの有効映像期間に順次選択するゲート駆動電圧（走査信号）を選択走査線 Y に供給する。

【0016】

信号線駆動回路 X D は、図 2 に示すように、水平スタート信号 S T H を水平ク

ロック信号CKHに同期してシフトし、コントロール部1からの映像データ信号DATAを直並列変換するシフトレジスタ20、ラッチ信号LTの制御によりシフトレジスタ20から出力される映像データ信号DATAを順次取り込み保持し出力するデータレジスタ21、映像データ信号DATAをアナログ映像信号Vsigに変換するD/A変換回路22、このD/A変換回路22により参照される所定数の階調基準電圧VREF (V1~Vk)を生成する階調基準回路RF、およびD/A変換回路22から得られるアナログ映像信号Vsigを電流増幅して信号線X1, X2, X3, ...Xnに出力する出力バッファ回路23を含む。

【0017】

階調基準回路RFは図3に示すように電源線AVDDおよび電流検出回路3の出力端間に直列接続された抵抗R0~Rkからなるラダー抵抗30を有し、ラダー抵抗30に印加される基準電源電圧を分圧して所定数の階調基準電圧VREF (V1~Vk)を生成する。ここで、V1は最低階調の階調基準電圧であり、Vkは最高階調の階調基準電圧である。

【0018】

D/A変換回路22は各々データレジスタ21から供給される映像データ信号DATAに基づき所定数の階調基準電圧V1~Vkのいずれかを選択し、さらにこれを抵抗分圧して対応するアナログ映像信号Vsigを出力する複数のD/A変換部(いわゆる抵抗DAC)で構成されている。出力バッファ回路23は各々対応D/A変換部からのアナログ映像信号Vsigを対応信号線Xに出力する複数のバッファアンプで構成される。

【0019】

各表示画素部PXは、DC/DCコンバータ2から電源線VDDおよびDVS S間に供給される画素駆動用電源電圧の下で動作する。走査線Yの走査信号が高レベルの期間、画素スイッチ11のNチャネル薄膜トランジスタがアクティブ状態であるため、信号線X上のアナログ映像信号Vsigが容量素子12の一端側電極に印加され、この容量素子12を充電する。尚、容量素子12の一端側電極に最終的にホールドされる電圧は、走査線Yの走査信号が低レベルとなった時に信号線Xに設定されているアナログ映像信号Vsigである。容量素子12の一端側

電極はさらに電流駆動素子 13 の P チャネル薄膜トランジスタのゲートに接続され、他端側電極はこの P チャネル薄膜トランジスタのソースに接続されているため、容量素子 12 に充電された電圧は、P チャネル型薄膜トランジスタのゲートーソース間電圧 V_{gs} となる。P チャネル型薄膜トランジスタのドレインーソース間電流 I_{ds} はゲートーソース間 V_{gs} によって増減する。この場合、電流 I_{ds} は有機 EL 素子 10 に流れる電流と同じであるため、アナログ映像信号 V_{sig} によって有機 EL 素子 10 に流れる電流が変化し、この電流に対応する輝度で発光する。

【0020】

電流駆動素子 13 は P チャネル薄膜トランジスタであるため、図 4 に示すようにアナログ映像信号 V_{sig} が小さいほど電源線 V_{DD} から各有機 EL 素子 10 を介して電源線 V_{SS} に流れる駆動電流 $D I_{DD}$ は大きくなる。また、アナログ映像信号 V_{sig} と映像データ信号の階調とは図 5 に示すようにアナログ映像信号 V_{sig} が小さいほど階調値が大きくなる、つまり輝度を高めるような関係にある。

【0021】

上述の電流検出回路 3 は電源線 V_{DD} から複数の有機 EL 素子 10 を介して電源線 V_{SS} に流れる駆動電流 $D I_{DD}$ の合計値 I_{el} を検出するもので、抵抗 R_e およびオペアンプ AMP により構成される。抵抗 R_e での降下電圧 V_e はこの駆動電流 $D I_{DD}$ の合計値 I_{el} に依存して変化し、オペアンプ AMP がこの降下電圧 V_e にほぼ等しいボルテージフォロウ電圧 V_e' を出力端から出力する。

【0022】

この場合、階調基準回路 RF のラダー抵抗 30 に印加される基準電源電圧は電流検出回路 3 から出力される電圧 V_e' により補正される。具体的には、階調基準電圧 V_k が電流検出回路 3 の出力電圧 V_e' にほぼ等しく維持されるため、電圧 V_e' が駆動電流 $D I_{DD}$ の合計値 I_{el} の増大に伴って増大すると、電圧 V_k もこの増大分だけ図 4 に太い矢印で示すようにシフトする。このよう電圧 V_k がシフトしても、電圧 V_k と電圧 V_1 との差はラダー抵抗 30 により等分されるため、映像信号 V_{sig} と階調とは図 5 に示すものとはほぼ同等の関係に維持される。

【0023】

上述した有機EL表示装置では、図6に示すように最高階調の基準階調電圧 V_k ($\equiv V_{e'} \equiv V_e$) が従来のように一定でなく、この合計値 I_{el} の増大に伴って上昇する。また、電圧 V_k の上昇は、Pチャネル薄膜トランジスタである電流駆動素子13によって供給される駆動電流 $DIDD$ の合計値 I_{el} を制限する結果となり、最終的には電圧 V_k と駆動電流 $DIDD$ の合計値 I_{el} とは電氣的に平衡状態のところで保たれ、駆動電流 $DIDD$ の合計値 I_{el} が定電流となる。

【0024】

図7に示すように、例えば従来では白表示部分の面積率が大きくなるにつれ、合計値 I_{el} が大きくなるが、本発明は最高階調の階調基準電圧 V_k が高くなるため合計値 I_{el} の増加を抑えることができ、白表示部分の面積率が小さい時は高輝度で各有機EL素子10を発光させ、白表示部分の面積率が大きい時は低輝度で各有機EL素子10を発光させることにより全有機EL素子10で消費される駆動電流 $DIDD$ の合計値 I_{el} に依存した電源回路の負担を軽減することが可能となる。

【0025】

尚、高階調大面積表示時、つまり白表示部分の面積率が大きいときは、輝度を下げても表示視認上目立たない。

【0026】

このように、駆動電流 $DIDD$ の総量に応じて輝度調整を行うことで、電力消費を抑制することが可能となる。

【0027】

また、駆動電流 $DIDD$ の総量の増大にともなうパネルの発熱を低減することができ、有機EL素子の劣化を抑制することができる。

【0028】

尚、本発明は上述の実施形態に限定されず、その要旨を逸脱しない範囲で様々に変形可能である。

【0029】

上述の実施形態では、映像信号の書き込みが電圧信号で行われる場合の表示画素について説明したが、これに限定されず、例えば図9に示すような電流信号で

駆動されるものであってもよい。このような表示画素を有する表示装置に本発明を適用する場合の一例となる階調基準回路について説明する。つまり上述の実施形態では階調基準回路 R F が所定数の階調基準電圧を発生するように構成されたが、D/A 変換回路 22 が電流制御型である場合には、階調基準回路が図 8 に示すように基準電源電流に対して互いに異なる電流比に設定される所定数の階調基準電流 I R E F (I 1 から I k) をそれぞれ所定数の階調基準信号として出力するように接続した複数のカレントミラー能動素子からなるカレントミラー回路により構成される。具体的には、k + 1 個の薄膜トランジスタがカレントミラー能動素子として設けられる。第 1 の薄膜トランジスタのカレントパスは電源線 A V D D および電流検出回路 3 の出力端間に接続され、ゲートは電源線 A V D D 側となる自身のドレインに接続される。残り k 個の薄膜トランジスタのゲートは第 1 の薄膜トランジスタのゲートに共通に接続され、カレントパスは電源線 A V D D および D/A 変換回路 22 側に設けられた k 個の階調基準電流入力端間にそれぞれ接続される。また、k 個の薄膜トランジスタは第 1 の薄膜トランジスタのチャネル幅 W に対して、例えばチャネル幅 W, 2 W, 4 W, 8 W, 16 W, . . . 2^{K-1} W を持つように設定される。これにより、第 1 の薄膜トランジスタに流れる電流を基準電源電流とし、これに対して互いに異なる電流比の階調基準電流 I 1 から I k を D/A 変換回路 22 に供給することになる。

【0030】

階調基準回路 R F が上述のように構成される場合でも、階調基準電流 I 1 から I k が電流検出回路 3 の出力電圧 V e' により一律にレベル補正する事ができるため、上述の実施形態と同様の効果を得ることができる。

【0031】

また、上述の実施形態では、単一の階調基準回路 R F が全ての D/A 変換回路 22 に対して共通に用いられたが、有機 E L 素子のような自己発光素子の発光特性は赤、緑、青のような発光色に対応して大きく異なる場合には、これら発光特性の種類に対応する複数の階調基準回路を設け、これら階調基準回路の各々について上述のような電流検出回路 3 を接続すればよい。

【0032】

【発明の効果】

以上のように本発明によれば、表示状態に違和感を与えることなく電源回路の負担を軽減できる表示装置を提供することができる。また、電力消費を抑制し、パネル発熱による素子劣化を抑制できる表示装置を提供することができる。

【図面の簡単な説明】**【図 1】**

本発明の一実施形態に係る有機 EL 表示装置の回路構成を概略的に示す図である。

【図 2】

図 1 に示す信号線駆動回路の構成を示す図である。

【図 3】

図 1 に示す階調基準回路および電流検出回路の構成を示す図である。

【図 4】

図 1 に示す信号線に出力されるアナログ映像信号と有機 EL 素子に流れる駆動電流との関係を示すグラフである。

【図 5】

図 1 に示す信号線に出力されるアナログ映像信号と映像データ信号の階調との関係を示すグラフである。

【図 6】

図 1 に示す複数の有機 EL 素子に流れる駆動電流の合計値と最高階調の階調基準電圧出力との関係を示す図である。

【図 7】

図 1 に示す表示画面の白表示面積率と複数の有機 EL 素子に流れる駆動電流の合計値との関係を示すグラフである。

【図 8】

図 3 に示す階調基準回路を電流制御型の D/A 変換回路に適用するための変形例の構成を示す図である。

【図 9】

表示画素の変形例を示す図である。

【符号の説明】

1…コントローラ部

2…DC／DCコンバータ

3…電流検出回路

1 0…有機EL素子

1 1…画素スイッチ

1 2…容量素子

1 3…電流駆動素子

Y…走査線

X…信号線

XD…信号線駆動回路

YD…走査線駆動回路

PX…表示画素部

PNL…有機ELパネル

PCB…外部回路基板

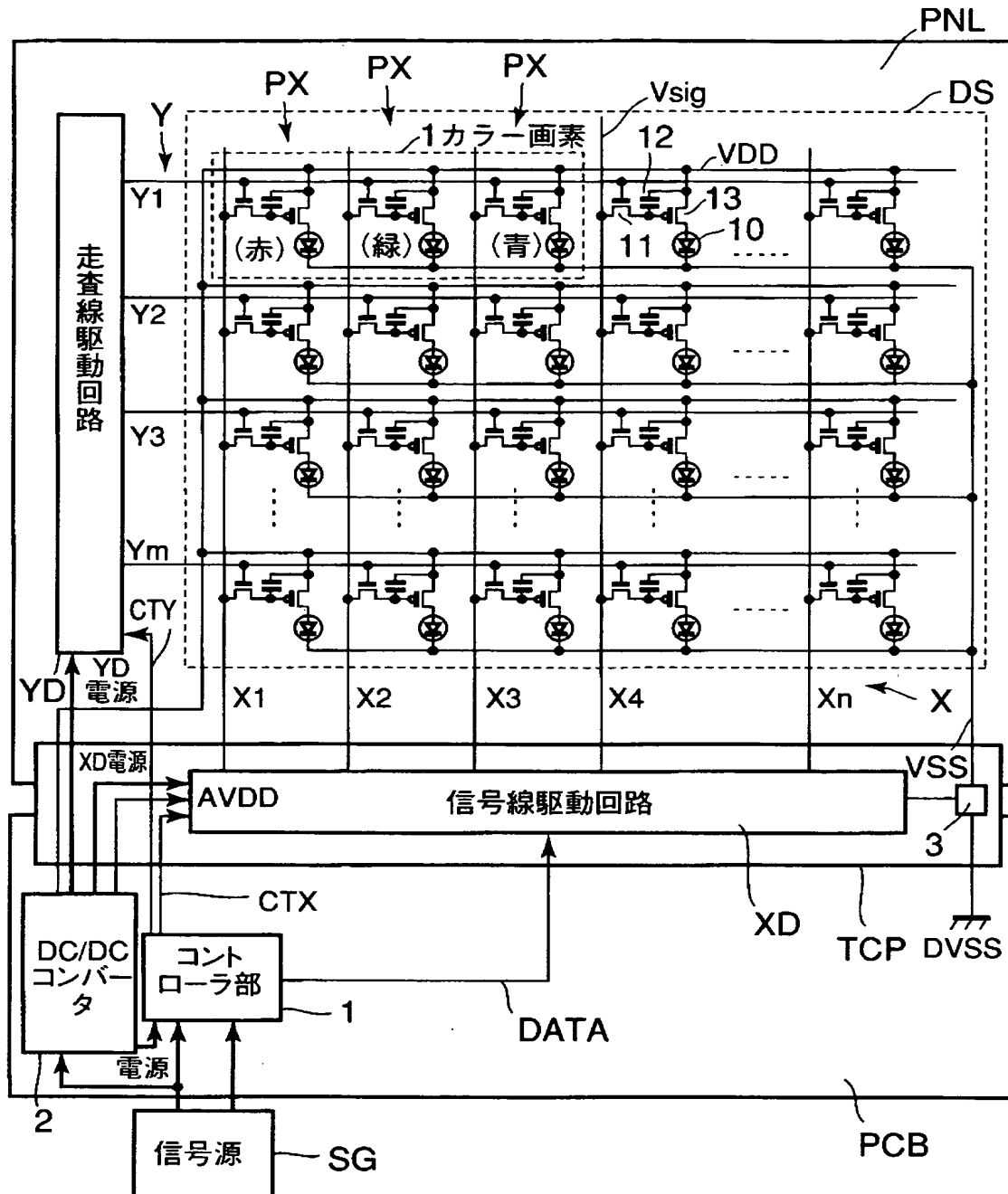
RF…階調基準回路

TC T…テープ・キャリア・パッケージ部

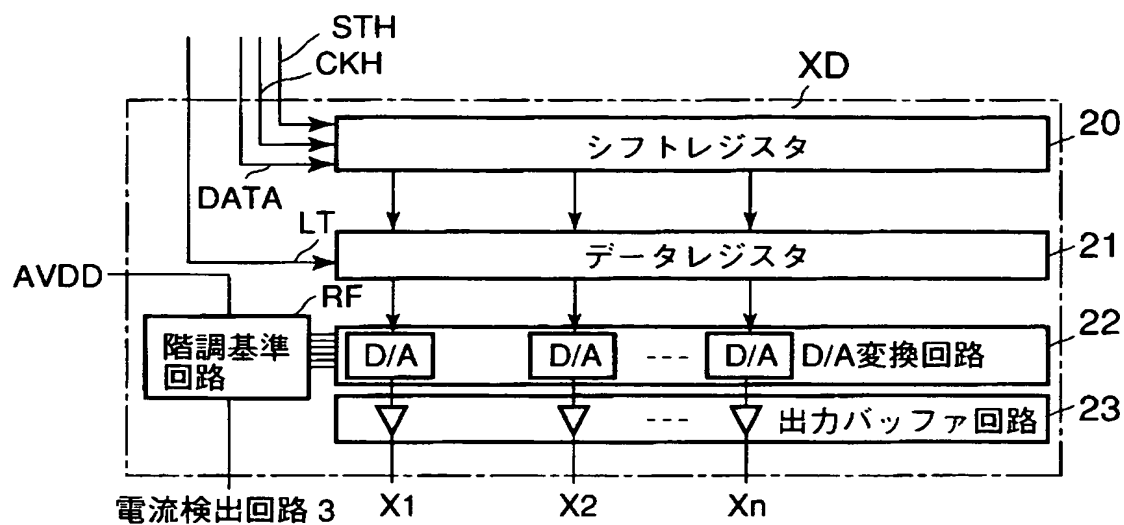
【書類名】

図面

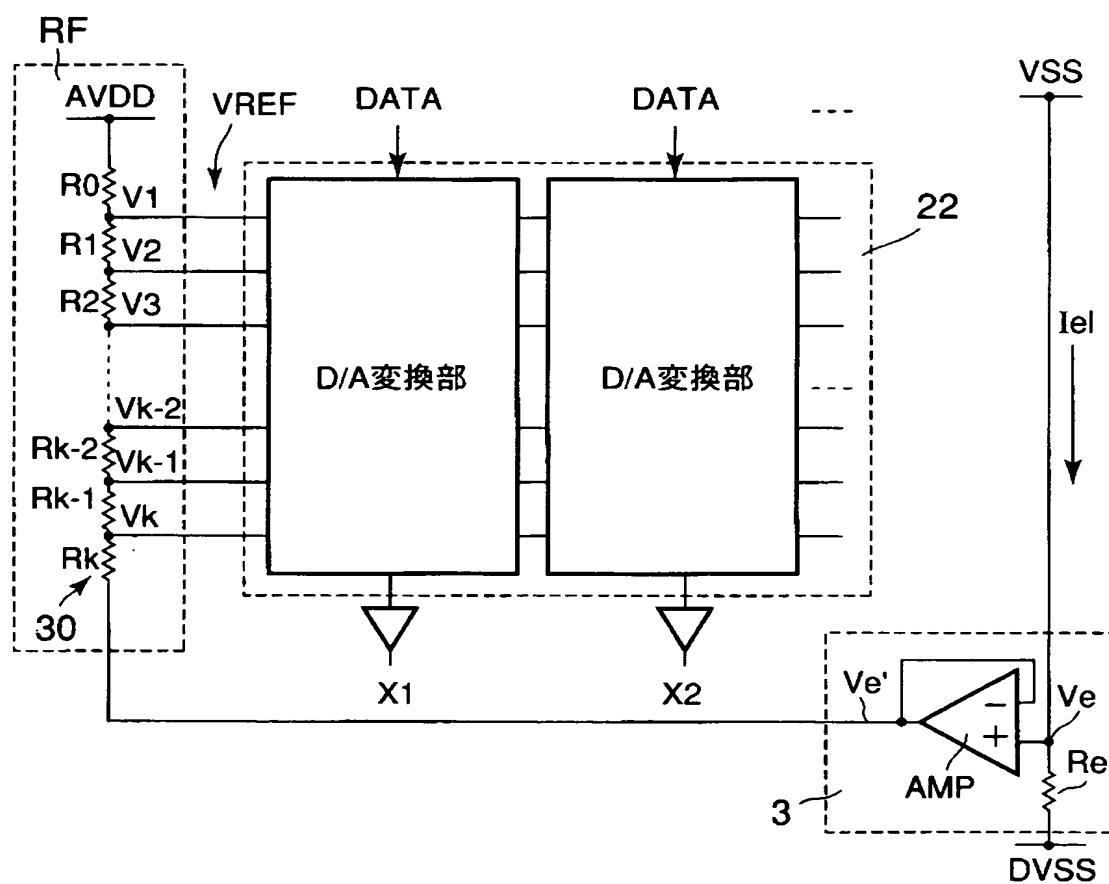
【図 1】



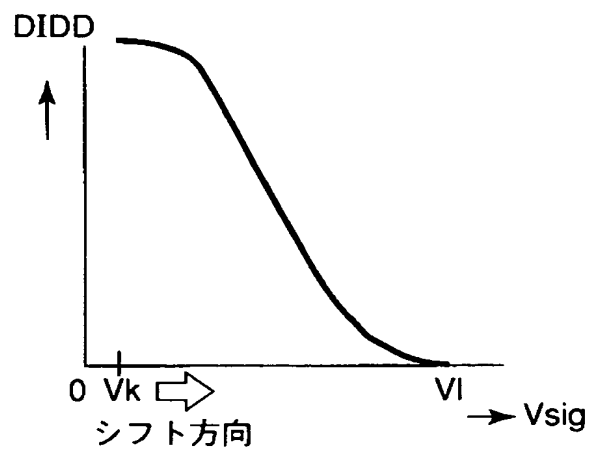
【図 2】



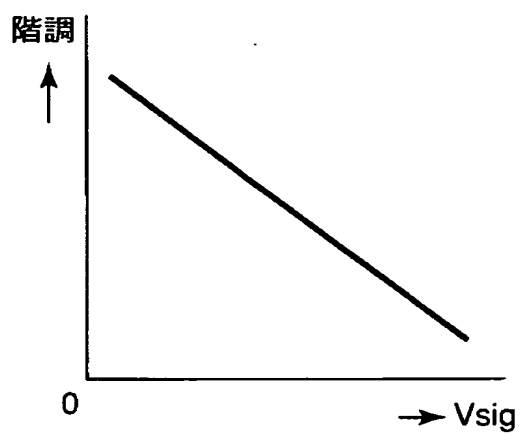
【図 3】



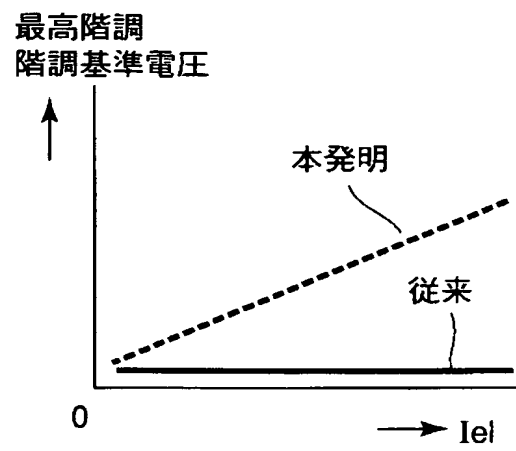
【図 4】



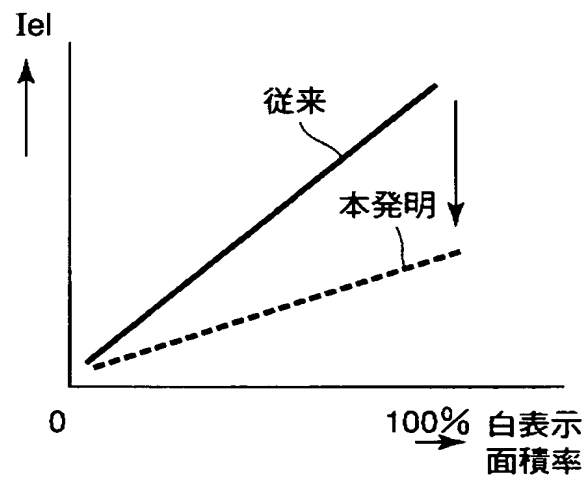
【図 5】



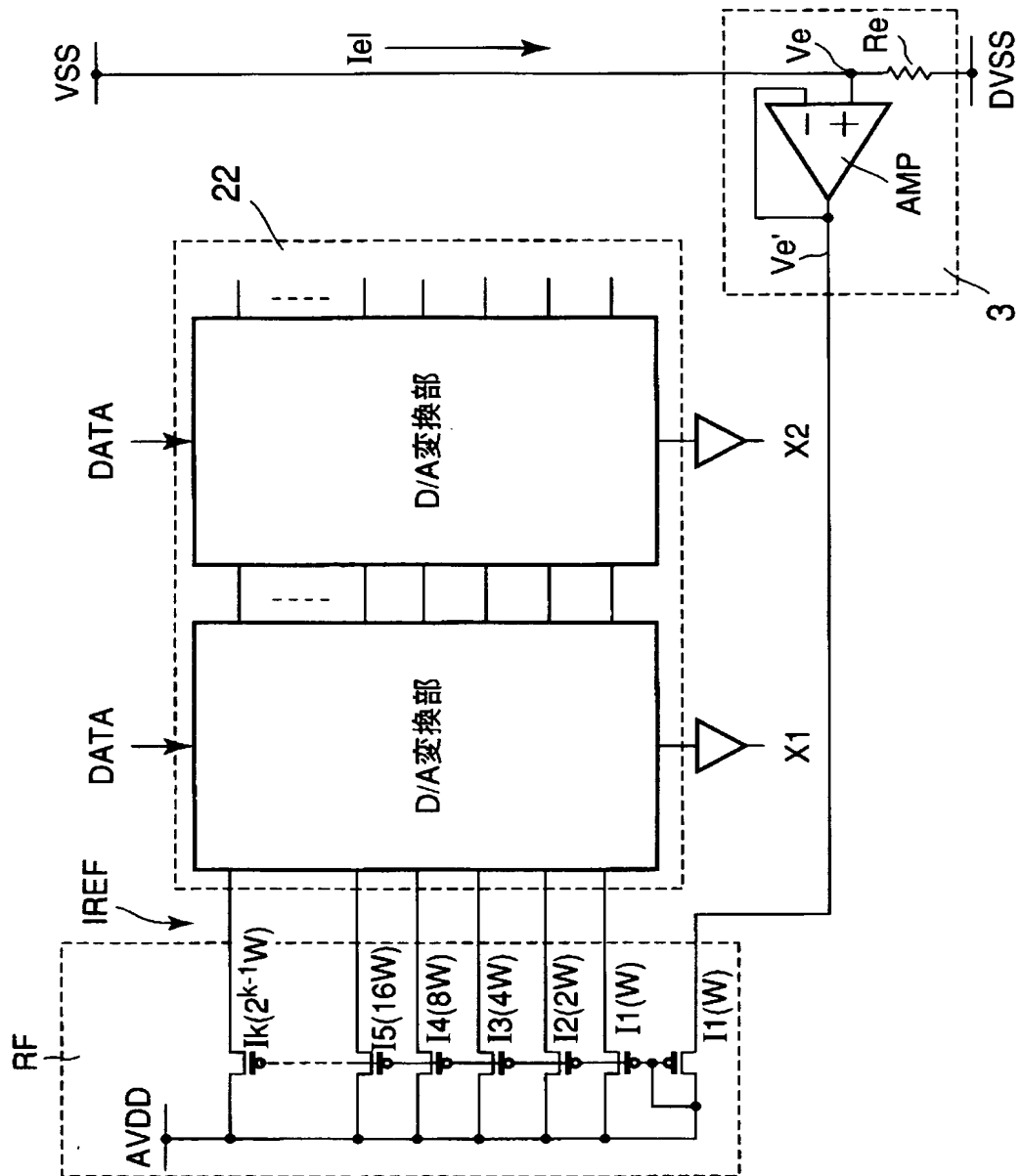
【図 6】



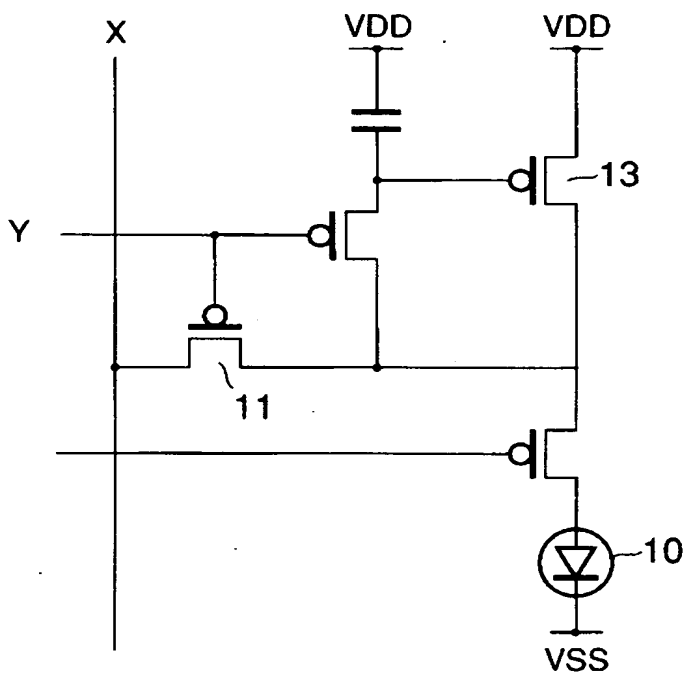
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 白表示部分の面積に依存した明るさについて違和感を与えることなく電源回路の負担を軽減する。

【解決手段】 表示画面 D S を構成する複数の自己発光素子 1 0 と、複数の自己発光素子 1 0 に映像信号に対応した駆動電流をそれぞれ供給する駆動回路 Y D , X D とを備える。特に、駆動回路 Y D , X D は複数の自己発光素子 1 0 に流れる駆動電流の合計値の増大に伴って駆動電流を制限するように構成される。

【選択図】 図 1

特願 2 0 0 2 - 3 2 9 7 1 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝